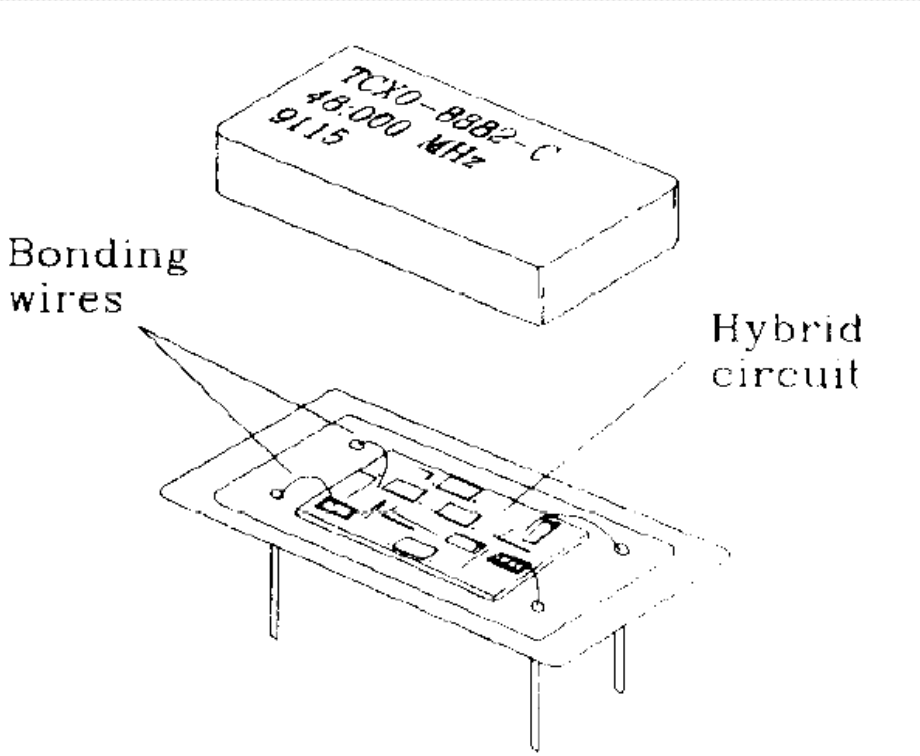
第四章：时钟及分配

- 时序逻辑与组合逻辑 – 同步逻辑电路与异步逻辑电路
- 时钟源
- 时钟参数说明
- **Jitter and Skew**
- 电路板上的时钟分配
- 大尺度物理实验中的时钟分发与同步

时钟源

- 石英晶体振荡器
  - 压电陶瓷石英晶体：作为振荡电路反馈元件才能产生时钟信号
  - **Canned Oscillator：**

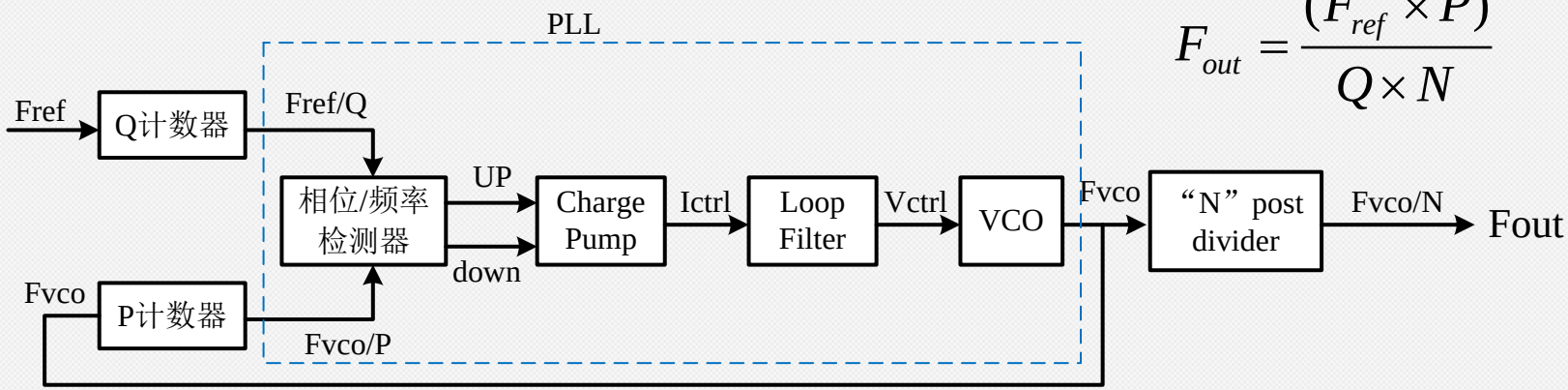


Non-Compensated Oscillator, 基频<40MHz, 内有倍频电路，10KHz-～300MHz。稳定度一般在1～100ppm

- **Compensated Oscillator：TCXO，0.1～2ppm**
- **Oven-Controlled Oscillator:**
- **Double Oven-Controlled Oscillator:0.01～0.0001ppm**

- **VCO：输出频率受输入电压控制，在一定频率范围内，输出频率和输入电压成线性关系**
- **频率合成器（PLL)**

$$F_{out} = \frac{(F_{ref} \times P)}{Q \times N}$$



— 由于Canned Oscillator的频率一般小于120MHz，大多数高频时钟源都是基于PLL的合成器。

- **Clock Buffer: 会对时钟产生延迟。有的时钟缓冲器采用PLL消除延迟**

时钟参数说明

- 频率说明
  - 标称频率
  - 稳定性：实际频率可在一个范围内漂移，常用实际频率与标称频率偏差最大值和标称频率的比。
  - Aging，输出频率每年大致有几个ppm的漂移，ppm/year
  - Voltage Sensitivity：输出频率随运行电压有变化，ppm/volt
- 运行条件说明
  - 温度范围
  - 运行电压范围
  - 震动，湿度等
- 电气说明
  - 输出电平类型，最大负载，Duty Cycle, 上升和下降时间等

Jitter and Skew

- **Jitter**
  - 输出时钟信号的变化过渡沿和它理想位置的任何偏差
  - 主要产生原因：

1. 晶体本身产生的噪声，如热噪声、随机噪声
2. 晶体的任何机械振动，扰动等产生的噪声
3. 振荡器本身放大电路的噪声
4. 通过电源带来的噪声，地平面波动等
5. 周边器件的干扰

  - 对PLL合成器来说，监相器的Dead Band会产生额外的相位噪声；参考时钟的jitter一般较小，但VCO会产生较大jitter，通过PLL内部的滤波器，有可能将合成器的jitter优化到小于参考时钟的jitter。不过，使用合成器代替参考时钟源，绝不是获得好的Jitter。

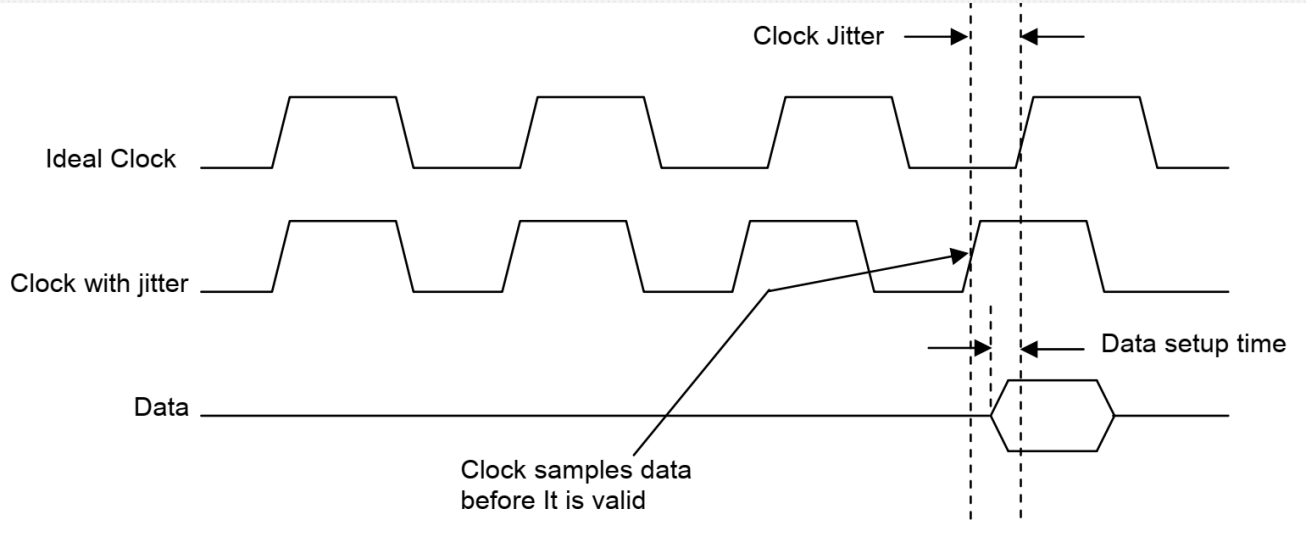
Jitter的描述方法

- Period Jitter
- Cycle to Cycle Jitter
- Long Term Jitter
- Phase Jitter
- Time Interval Error (TIE)

- JEDEC 标准定义

Period Jitter

- 时钟周期与理想周期间的偏差，用RMS值或峰峰（Pk-Pk)值表述
- 理想周期通常是多个测量周期的平均值



由于jitter造成的
数据建立时间冲突

- JEDEC指定测量采样数要大于10,000
- 在10,000样本情况下，两个表达值之间的换算为

Peak-to-peak period jitter = 7.44 x (RMS jitter)

— 上式表明的是计算出的Pk-Pk值能包括9,999次测量结果，即只有一次在此Pk-Pk之外

— 测试方法

- 测量一个时钟周期，等待随机数量周期以后
- 重复上述测量10000次
- 激素标准偏差和峰峰值
- 重复上述测量25次，计算平均的峰峰值

— RMS值的误差为

即对于10000此测量：

$$\mathrm{Error}_{\mathrm{RMS}} = 0.0071\,\sigma_n$$

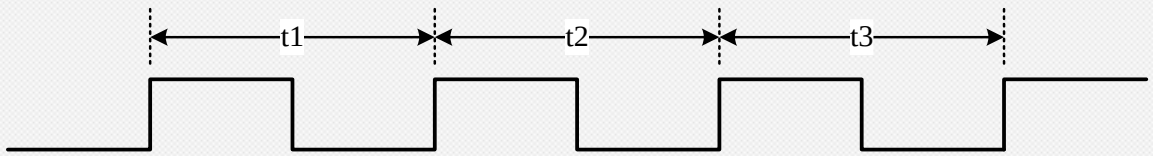
Sample Size	Sigma (σ)
10	±1.282
100	±2.327
1,000	±3.090
10,000	±3.719
100,000	±4.265
1,000,000	±4.754
10,000,000	±5.200
100,000,000	±5.612
1,000,000,000	±5.998
10,000,000,000	±6.362
100,000,000,000	±6.706
1,000,000,000,000	±7.035

Gaussian probability density function (PDF)

$$\mathrm{Error}_{\mathrm{RMS}} = \frac{\sigma_n}{\sqrt{2N}}$$

Cycle-Cycle Jitter

— 相邻时钟周期的差（不需要理想周期的参考）



$$Jitter1 = t2 - t1$$

$$Jitter2 = t3 - t2$$

— 常用于衡量扩频时钟的稳定性

— 采样统计样本数要求等于或大于1000

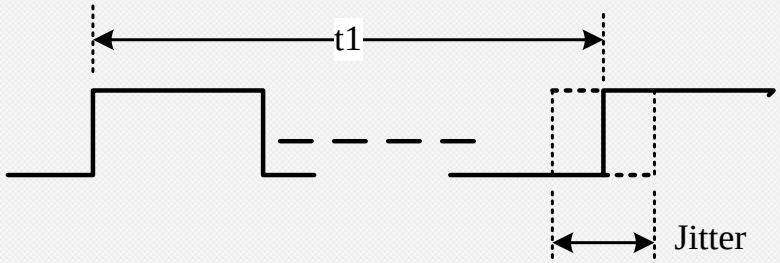
— 有RMS值和峰峰（Pk-Pk)值两种表达方式

— 测量方法：

- 测量两个相邻时钟周期T1和T2， 计算T1-T2，记录下该绝对值
- 等待随机数量的时钟周期以后，再获取一对相邻周期测量和计算
- 重复上述测量1000次
- 计算标准偏差（σ）和最大的Pk-Pk值
- 重复上述测量和计算25次，计算25个结果的平均峰峰值

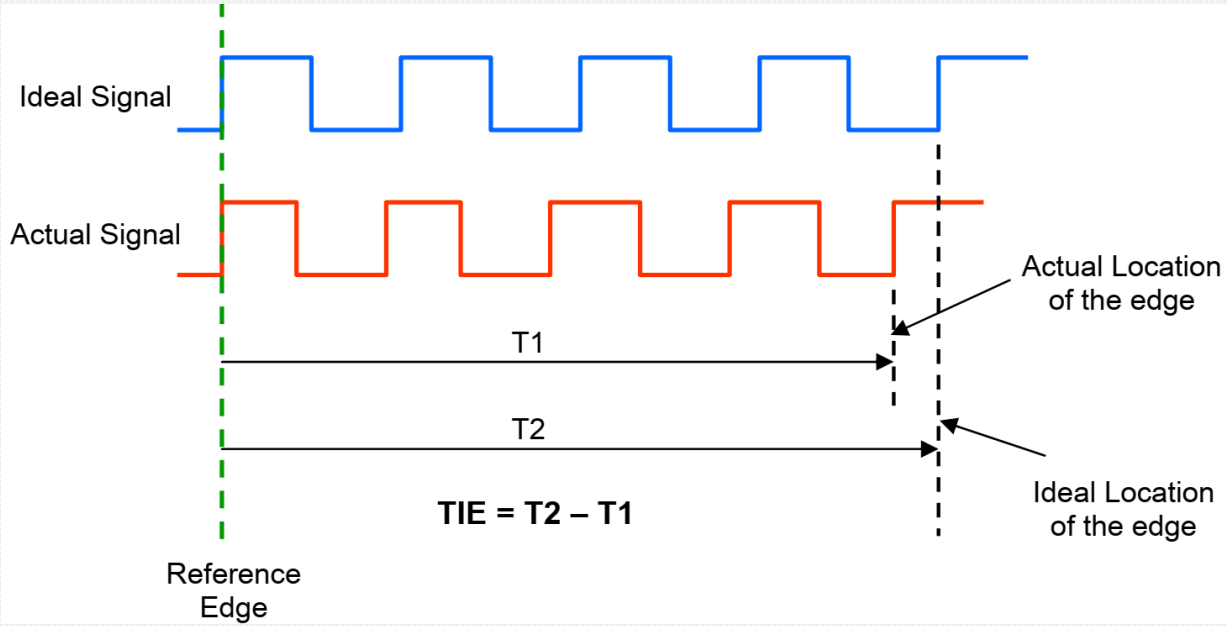
Long-Term Jitter

- 几个连续周期后的时钟沿偏离理想位置的量，不同应用选取不同数量的连续周期
- 又称累积jitter
- 用于计算系统的定时容限



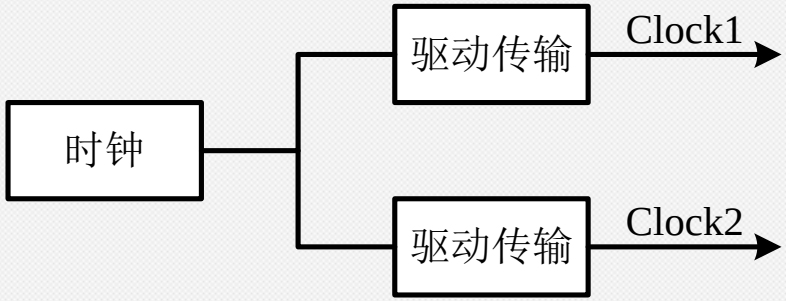
- 实测方法与上述其它形式的jitter类似

- **Phase Jitter**
  - 通常描述为离散频谱不同频率偏移量对应的噪声值，或者连续频谱上一个频率范围内的噪声值，相位jitter就是特定频段上相位噪声的积分（以秒为单位表达）
- **Time Interval Error （TIE）**
  - 一个时钟沿的TIE就是该时钟沿与理想位置的偏差（从一个参考沿算起），等同于相位噪声在时间域上以秒或皮秒为单位的表达



- **Skew：**

原定同时到达的两路时钟信号实际到达的时间偏差



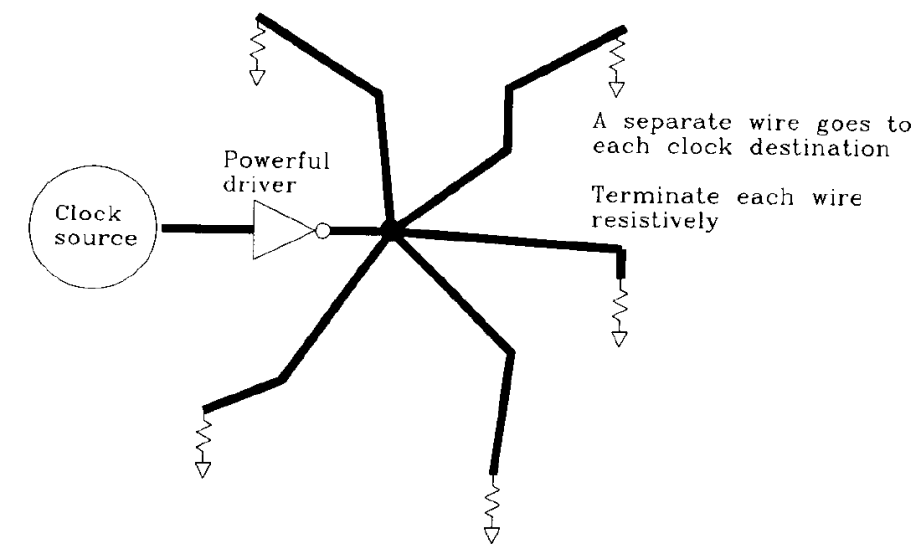
— **Skew对系统的定时容限很重要**

— **影响skew的主要因素**

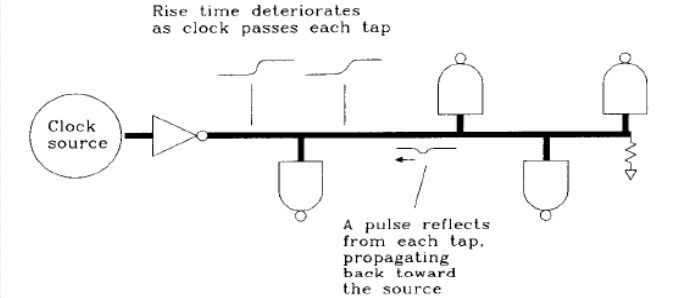
- Trace length
- 接收器的阈值
- 电容负载不均匀
- 传输线匹配上的差异

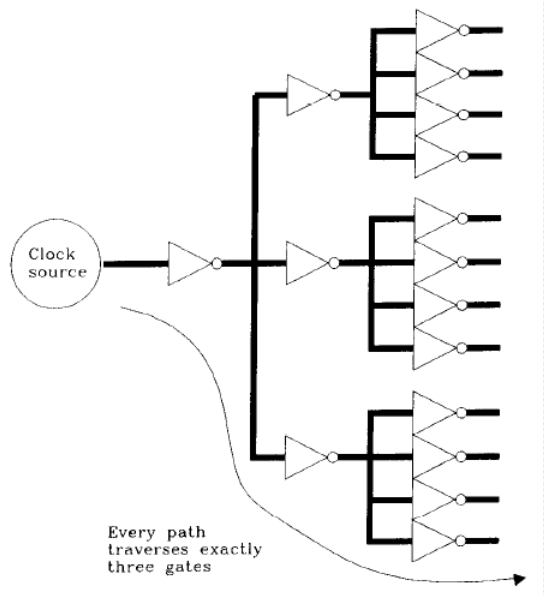
时钟分配

- 使用低阻抗的时钟驱动器
  - 每条支路均匹配，负载太大
  - 可将多个驱动器并联使用
  - 可采用变压器输出，可实现低输出电压，高输出电流。



- 采用树状结构





- 使用低阻抗的时钟分配线
  - 每个tap处的反射正比于-ZC/2
  - 降低时钟信号的上升时间，可以减小反射脉冲的宽度
  - 降低接收器的C，降低传输线的Z，例如使用25Ω的传输线代替50Ω