第六章: A/D 和D/A变换器

- 基本ADC结构
 - Integrating ADC
 - Flash ADC
 - Pipeline ADC (Subranging ADC)
 - Successive approximation ADC
 - Sigma-delta ADC
 - Others
- DAC结构实现
 - Binary-weighted Resistor
 - Current-switch DAC
 - Resistor-string DAC
 - Charge-redistribution switch-capacitor DAC
- ADC和DAC主要性能指标
- ADC的动态性能测试

Integrating ADC

- —双斜率或多斜率数据转换器
- 一个具有开关输入选择的模拟积分器,一个比较器和一个计数器单元
- 一积分器对输入电压积分一个
 固定时间间隔,结束后将积
 分器切换到和输入信号极性
 相反的参考电压上,放电直
 至输出为0.







Direct-Conversion ADC (Flash ADC)

- 最快速ADC, 但要求大量的比较器和参考电压



Pipeline ADC (Subranging ADC)

一折中die尺寸、速度、功耗和模拟设计难度,是广泛使用的AD变换技术



- 一每一级有多余的bit来修正错误码;级间有独立的T/H放大器,允许多级同时采样变换;低功耗,高变换速度;因为有较小的比较器处于亚稳态可能性,可避免Sparkle code和温度计bubble code。
- 一缺点:复杂的参考电压电路和偏置方案; pipeline延迟; 严格的锁存
 时钟定时等

The Origins of Pipeline ADCs 1- The Flash ADC



- Each comparator has its own threshold voltage, spaced by 1 LSB,
- The input is fed to all the comparators in parallel,
- The output of the comparators is in "thermometer" format,
- An encoder is used to convert to binary format.

一种两级Subranging ADC



More on Sub-Ranging



- Very High Speed
- 1 Conversion/Clock
- 1/2 Clock Latency
- Higher Resolution with Less Hardware: 2 X 3bit = 14 Comp.
 6bit = 63 Comp.
- Lower Power Dissipation
- Smaller Input Capacitance
- Can be Interleaved
- Requires High Precision Interstage Processing
- Hardware Still Increases Exponentially within Each Flash



The principle of sub-ranging ADC can be pushed to the limit of having only one bit per stage,

At this point, each flash ADC is nothing more than a simple comparator, Also, the data is transferred in a pipeline fashion: when the data is sent to the second stage, another sampled data is fed to the first stage, The result is a latency delay equal to the number of stages.

Basic Block Architecture



The analog stage is formed of a **1** bits flash ADC, a **1** bits DAC and a adder/gain stage. The output is called the residue and is sent to the next stage.

Functionality of the Basic Block



Example











Example of Digital Correction



Error Correction with Threshold Error on the Second Stage



Successive-approximation ADC

- 一只用一个比较器将输入信号幅度和一个N-bit的DAC输出结果称重,
 比较结果放入SAR中。这个过程需要N个称重过程,每次产生一个称重结果
- 一先设定SAR中的MSB,由DAC输出和输入比较,用于校正SAR中的MSB值,然后下一步,一次进行,直至LSB
- 一仅包括一个比较器,一个DAC,一个SAR和一个逻辑控制单元
- 一工作采用频率1MSPS,功耗小, 最小价格成本
- —要求模拟设计强,输入带宽低, 采样率低



开关电容SAR-ADC



- SAR-ADC结构简单、功耗低、合理的转换速度,起初是最为广泛的通用 ADC结构,但1990年代中期,Sub-ranging ADC数量上超过SAR-ADC(即便 功耗大),因为其中的R-2R thin film电阻DAC面积大且贵,直到sub-micron CMOS工艺使得非常小且精确的开关电容可能,新一代的基于SC技术的 SAR-ADC regain their popularity。
- 电容电荷重分配DAC另一优势是同时作为采保(SHA)电路,不需要额外的 SHA了。

SC-SAR-ADC的功耗比较



SAR-ADC的组成



- 采样保持电路
- 动态比较器:由时钟信号使能比较器,使能时输出比较结果,非能时差分输 出为同一逻辑电平,优点是节省功耗,同时压低比较器对DAC电路的干扰
- 开关电容DAC
- 逐次逼近逻辑:有同步和异步两种比较控制逻辑,多以异步为主,即在动态 比较器有稳定输出后尽快开始下一次比较。注:一次比较完成时间与被比较 的两个信号的幅度差异而不同,各次比较所需时间不等。

二进制权重SC-DAC

采样后开关S1-S4接地,Sc断开,此时VA=-AIN





3、S3接V_{REF}, A点电位:

$$\frac{3C}{4}V_A - \frac{5C}{4}(V_{REF} - V_A) = -2CA_{IN}$$

$$\Rightarrow V_A = \frac{1}{2}V_{REF} + \frac{1}{8}V_{REF} - A_{IN}$$

$$V_A > 0, S3 接地; V_A < 0, S3 保持V_{REF}$$

二进制权重SC的差分结构DAC



差分结构的开关电容DAC与单端结构基本原理相同,在转换阶段,上下两组电容的动作保持互补,例如上面某一位的开关切换到V_{DD},下面一组对应的开关则是切换到GND
 差分结构适当改进后可实现单调切换,即先比较后bit置位,避免多余的开关切换

分段式电容阵列



分段式电容阵列可克服二进制权重电容阵列的电容容值过大带来的面积和功耗问题。上图的分段DAC结构中,桥接电容 C_c 将MSBs部分和LSBs部分的电容阵列连起来组成精度为N-bit的DAC,其中桥接电容的大小为: Q_{M+1}

$$C_c = \frac{2^{M+1}}{2^{M+1}-1} \bullet C$$

 C_{C} 与LSBs部分串联,等效为MSBs部分的电容C;

可以证明,S_(M+1)位开关切换造成MSBs上极板电压变化量与S_M位开关切换造成MSBs上极板电压变化量之比为2,满足二进制搜索算法的要求。

基于SAR-ADC的混合架构



Pipeline-SAR ADC结构:流水线结构中的sub-ADC由Flash结构替换为SAR结构,仅2-3级流水线就能实现多位变换。优点还是低功耗

SAR-Flash ADC结构:增加REF-DAC产生额 外两个比较电平,使用3个比较器同时比较 ,相当于一个2bit Flash ADC。即每个比较 周期,SIG-DAC上生成输入信号与参考信号 的差值,由Flash ADC给出2-bit 结果。



- 又称Oversampling convertors,结构简单,包括Σ-Δ调制器,后跟数字 抽取滤波器(Decimation Filter)。Σ-Δ调制器内部的1bitDAC作用像 一个开关,有比较器输出控制,目的使反馈信号逐渐接近输入信号Vn 。输入信号频率低,但采样频率高,输出1bit采样码,经滤波器后变 为Nbit分辨率的输出码。
- —低成本、高分辨转换;有数字滤波器介入,DSP兼容,有利于系统集成
 —不知道精确采样时刻,很难多路复用,主要用于Audio。





一阶Σ-ΔADC







$$\frac{V_{LSB}^2}{12} = \int_{-\infty}^{\infty} [S_Q(f)]^2 df = \int_{-f_S/2}^{f_S/2} S_{Q_0}^2 df = S_{Q_0}^2 \cdot f_S$$

结果:

 $S_{Q_0}^2 = \frac{1}{f_s} \times \frac{V_{LSB}^2}{12}$

如果采样频率比信号带宽f0大得多,过采样比OSR定义为 $OSR = \frac{f_s}{2f_0}$ 采用理想尖锐截止频率的滤波器来滤除大于f0的频段噪声,则噪声能量为

$$P_{Q} = \int_{-\infty}^{\infty} \left[S_{Q}(f)\right]^{2} df = \int_{-f_{0}}^{f_{0}} S_{Q_{0}}^{2} df = \frac{2f_{0}}{f_{S}} \times \frac{V_{LSB}^{2}}{12} = \frac{1}{OSR} \times \frac{V_{LSB}^{2}}{12}$$

因为PQ减小了,则SNR为(对于正弦信号而言):

$$SNR = 10\log_{10} \frac{P_{in}}{P_Q} = 10\log\left[\frac{V_{ref}^2}{8} \times \frac{OSR}{V_{LSB}^2 / 12}\right]$$
$$= 10\log(\frac{3}{2}2^{2N}) + 10\log(OSR)$$
$$= 6.02N + 1.76 + 10\log(OSR)$$

上式以正弦波情况来计算的,正弦波的幅度设为:

$$V_{ref} / 2$$
 $P_{in} = (\frac{V_{ref}}{2})^2 / (\sqrt{2})^2$

每加倍过采样率OSR,则SNR改善3dB

带有噪声成形Σ-Δ调制的过采样



Σ-ΔADC的核心是Σ-Δ调制器,思想是采样差分信号,因为差分采样技术 可以获得比通常OSR加倍,SNR改善3dB大得多的改善。

一阶Σ-Δ调制器的模型如上图。

考察积分器H(s)的作用,它的传输特性为H(S)=1/S。量化噪声被建模为添加的白噪声。

令e(n)=0,来计算y(Z)/x(Z): Y(Z) = [x(Z)-y(Z)] X H(Z)

定义信号传输函数:

$$H_{S}(Z) = \frac{y(Z)}{x(Z)} = \frac{H(Z)}{H(Z) + 1}$$

令, x(Z)=0, 来解y(Z)/e(Z): y(Z) = -y(Z)XH(Z)+e(Z) 定义噪声传输函数:

$$H_{Q}(Z) = \frac{y(Z)}{e(Z)} = \frac{1}{1 + H(Z)}$$

整个信号的输出可表示为: $y(Z) = x(Z)H_S(Z) + Q(Z)H_Q(Z)$

在低于f0的频带内,如果传输函数H(Z)被设计为幅度很大,则Hs(Z) 接近为1,而Hq(Z)接近为0

在大于f0的频带,传输函数可以不具有大大压缩噪声的能力,因为 这部分将被后续滤除。

对于一阶**Σ-**Δ调制器 $H(Z) = \frac{1}{Z-1}$ 则: $H_S(Z) = Z^{-1}$, $H_Q(Z) = 1 - Z^{-1}$ 即: 信号传输函数仅是延迟, 而噪声传输函数为高通滤波器。 噪声传输函数的哦幅度可计算为:

$$|H_Q(f)| = |1 - Z^{-1}|_{z=e^{j\omega t} = e^{j2\pi f/f_s}} = 2 \left| \sin(\frac{\pi f}{f_s}) \right|$$

利用sin(x)~x, for x<<1, 则量化噪声:

$$P_{Q} = \int_{-\infty}^{\infty} S_{Q}^{2}(f) \times \left| H_{Q}(f) \right|^{2} df$$

= $\int_{-f_{0}}^{f_{0}} \frac{1}{f_{S}} \times \frac{V_{LSB}^{2}}{12} \times \left[2 \sin(\frac{\pi f}{f_{S}}) \right]^{2} df$
= $\int_{-f_{0}}^{f_{0}} \frac{1}{f_{S}} \times \frac{V_{LSB}^{2}}{12} \times \left[2(\frac{\pi f}{f_{S}}) \right]^{2} df$
= $\frac{\pi^{2} V_{LSB}^{2}}{36} \left(\frac{2f_{0}}{f_{S}} \right)^{2} = \frac{\pi^{2} V_{LSB}^{2}}{36} \frac{1}{OSR^{3}}$

最大可完成的SNR为:

$$SNR = 10\log \frac{P_{in}}{P_Q} = 10\log \frac{\frac{V_{ref}^2}{8}}{\frac{\pi^2 V_{LSB}^2}{36} \times \frac{1}{OSR^3}}$$
$$= 10\log(\frac{3}{2}2^{2N}) + 10\log\left[\frac{3}{\pi^2}(OSR)^3\right]$$
$$= 6.02N + 1.76dB - 5.17dB + 30\log(OSR)^3$$

表明OSR增大一倍,将改进 SNR 9dB或者1.5bit,注意上 式总SNR要大约减少5dB



Flash ADC





Quantization as a Collection of Zero Crossings

Interpolation ADC







Uniformly spaced zero-crossings in flash ADCs



Intermediate zero-crossings are recovered by interpolation

Interpolation Nonlinearity



- Nonlinear of preamps cause errors in the interpolation zero-crossings, which directly translates into DNL and INL
- Many other resistive mesh network and methods investigated to avoid the interpolation errors
- Capacitive interpolation
- Current interpolation
- 通过内插减少了preamps的数量,但latches的数量不变;
- 减少了输入电容负载,有利于提高输入带宽
- 比Falsh ADC具有较好的面积-功耗效率

Inefficiency of Flash ADC



Only comparators in the vicinity of V_{in} are active at a time \rightarrow low efficiency.

Segmented Quantization



Segment indicator (M bits)

Signal Folding



Segment indicator $(\log_2(F) \text{ bits})$

Folding ADC Architecture



- The fine ADC performs amplitude quantization on the folded signal.
- The coarse ADC differentiates which segment V_{in} resides in.

Folding ADC Example: 6-bit



• Coarse ADC determines segment, fine ADC determines level within segment

Folding Amplifier



Zero-Crossing Detection



- Only detect zero-crossings instead of fine amplitude quantization
 → insensitive to folder nonlinearities.
- P parallel folding amplifiers are required.

Offset Parallel Folding



• Total # of zero-crossings = Total # of preamps = **P*****F**

Folding +Interpolation



Time Interleaving ADC



- 一个信号buffer驱动多个ADC core并行采样,增加整体采样率
- 多个ADC cores在同一时钟的不同相位采样,输出数据要在时间上对齐

Non-Ideal Interleaving



- Offset Errors: mismatched ADC core voltage offset
- **Gain Errors: ADC core gain error and ADC reference voltage error**
- Phase Errors: Input routing delay; Input BW difference;

- Clock phase error; - ADC sampling instant

■ 多片ADC具有输入带宽限制的基本问题!





- 输出Vo可以为电压,也可以为电流
- Vref: Full scale reference voltage

$$LSB = \frac{V_{ref}}{2^N}$$

Binary-weighted Resistor



$$V_{out} = -R_f V_{ref} \left(-\frac{D_0}{2R} - \frac{D_1}{4R} - \frac{D_2}{8R} - \dots \right)$$
$$= -\frac{R_f}{R} \bullet V_{ref} \bullet D_{in}$$

■ 主要缺点是制作大比率的电阻,占用大的chip size

Binary-weighted current sources



$$V_{ref} = 2^N \bullet I \bullet R$$

- 使用二进制权重的电流源,通过输入码控制电流源的通和断
- 设计挑战是设计精确的二进制电流源,使用有源器件实现电流源,二
 进制电流源仅是该单元的倍数

使用R-2R Ladder



- 各开关点和地直接相连,或者和放大器的输入端相连,电位均为零。 从右向左逐次推出从地到-Vref之间的电阻为R。最左侧电流为 Vref/2R,依次推出各支路以2的幂次方减少
- 无大的电阻比,且相互间匹配较好

Resistor-String DAC



- 用等值电阻R串联将Vref分压,设计1/2N的selector选择其中之一连通
- 优点是DAC的单调性好,缺点是使用大量的电阻和设计一个selector
- 一个3bitDAC的例子

电荷重分配开关电容DAC



和其它开关电容技术一样,基本原理是合理的重分配电荷产生所需要的输出 电压Vout。预充电时,K闭合,所有的Di均取零接到地,所有的电容均充电 (暂可设K左端为任一电平V);在转换期间,K断开,设定的Di施加于相应 端后(为1时接到Vref上,为零接地),可以证明输出电压为:

$$V_{out} = V + \frac{V_{ref}}{2^N} \sum_{i=0}^{N-1} (2^i \bullet D_i) = \frac{V_{ref}}{2^N} \sum_{i=0}^{N-1} (2^i \bullet D_i) \qquad (V = 0)$$

只依赖于电容比,匹配性较好,且没有静态电流,功耗低;主要问题是杂散
 电容会影响增益误差和INL

ADC/DAC主要性能指标: Track/Hold



有关Track/Hold指标

Acquisition time:

在时钟由Hold态转为Track态时,保持电容获取输入模拟信号的时间,下图中由CLK过渡点到保持信号达到特定误差要求的时间。它取决于TH电路的RC常数以及对输入信号数字化的精度



■ Track-to-hold建立时间

在CLK由Track转为Hold后,输出信号达到最终值一定误差 范围内所需要的时间

■ 孔径延迟

在ADC中,用户要求输入模拟信号被采样的时刻,也即 ADC的Track/Hold开始为Hold模式时刻与内部实际发生的 时刻之间的延迟。它是数字Hold开关电路延迟和内部模拟信 号延迟时间的差异。孔径时间可以为负值,此时内部模拟信 号的延迟大于数字开关延迟。

■ 孔径晃动

孔径延迟的变化量,它远远小于孔径延迟。对高速ADC,孔 径晃动非常有影响,因为很小的晃动会带来采样值很大误差 ■ AD转换时间(或采样速率)

定义为完成一次测量,包括获取信号、数字化及输出时间在 内所需的时间,采样速率是转换时间的倒数,是连续转换的 速度

- DAC建立时间: DAC从接收改变输出命令开始,输出达 到最终值(在一定百分比内)所需时间。受输出放大器的 摆率,放大器振铃大小和信号过冲的影响。
- DAC采样速率是建立时间的倒数,即连续最大采样转换的速率

■ 分辨率和精度

分辨率指不同模拟电平的数量,常用Nbit表示。 精度有两种意义:

- 一绝对精度:实际输出值与期望值之间的差异,它包括偏移误差、
 增益误差和非线性误差在内
- — 相对精度:不包括偏移和增益误差在内。例如,12bit精度指转 换误差小于Fs/2¹²,它和INL相同。注:12bit精度和12bit分辨率 意思不同。

■ 微分非线性(DNL)

ADC: 理想ADC输出码之间的间隔精确为1LSB,则DNL=0.

- DAC: 模拟输出值精确地等于一个码间隔,则DNL=0
- ADC: DNL指实际测量的相邻码之间的模拟输入信号值间 隔与理想间隔之间的差异(用LSB表示)
- DAC:测量到的相邻码输出值之间的间隔差异与理想间隔间的差异

DNL就是相邻码 对应的模拟量之 间的间隔减去 1LSB



■ 积分非线性(INL)

一定义1:测量的传输函数与理想的传输函数的差异。

一定义2: INL是DNL从0000码到INL被测量点的求和

- INL测量值与理想传输函数的位置(定义为通过0点和最大满幅值的直线)有直接关系,有时使用其他两种直线作为理想直线的替代:
- End point linearity:连接实际传输函数两个端点的直线: End point line INL
- Best Straight line: 实际传 输函数的最近似直线, 叫做Best straight line INL.
- 它们都同时提供offset和 gain误差信息。





- 一对理想ADC,第一点转换发生在1/2LSB。Offset是测量到的第一
 转换点和理想转换点的误差量,常以LSB为单位表示。对于双极
 ADC,理想转换点为0.5LSB。
- 一增益误差是在offset误差去除以后,将满幅度的模拟信号加于
 ADC(导致输出全为1),增益误差是实际测量到的传输函数与理
 想值的差异,常用LSB或Full Scale的百分比表示。
- 一在offset error没被去除时,得到的增益误差称Full Scale Error

ADC的动态指标

■ 动态范围 (Dynamic Range)

- 可以被ADC有效转换的幅度范围,在通信领域常用,用dB来表示
- 一例:60dB的DR表示信号范围从x到1000x。
- DR的最小值通常是一些参数,如SNR为0dB(即信号能量等于噪声 能量)点,最大值或者是ADC的满幅点或是一些畸变(distortion)变为不可接受的点。
- -DR经常也被定义为有效位对应的信噪比。这两种定义是等同的

 $Peak-SNR = 6.02N_{eff} + 1.76$

- DR的测量通常用正弦波输入和输出,最小输入条件为SNR=0,最 大为PSNR限制或最大允许的输入值。

FPBW– Full Power Input Bandwidth

一大输入信号(接近Full Scale或-0.5dB FS)作用于ADC, 扫描输 入信号的频率,转换结果幅度下降-3dB时对应的频带

SSBW – Small Signal Input Bandwidth

一小信号(例如,-20dBFS)作用于ADC,这时信号的摆率将不再会影响ADC性能,输出幅度下降-3dB的带宽。主要限制因素是
 Track/hold输入放大器的性能。

■ 信噪比SNR

一频率fin输入正弦满幅度波的RMS值与ADC从DC到Nyquist频率之间 噪声的RMS值的比。不包括直流噪声和谐波畸变部分,用dB表示

$$SNR = 20\log \frac{Input(Volts, RMS)}{Noise(RMS)}$$

信号与噪声和畸变比(SINAD – Signal-to-noise and distortion ratio)

-SNR计算中,包括谐波成分,不包括DC

 $SNR = 20\log \frac{Input(Volts, RMS)}{Noise(RMS) + Harmonics(RMS)}$

THD (Total Harmonic Distortion)

一将前四次谐波(或在Nyquist范围内的所有谐波)的RMS值与输入 信号基频成份的比。

$$THD = 20\log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2}}{V_1}$$

SFDR: Spurious-free Dynamic Range

- 输入正弦波的RMS幅度和第
 二大杂波的比(频谱中最大
 成份为基频成份)
- 一常用于谐波失真,在频谱分析中其它伪杂信号被认为不可忽略的情况。
- 表明一种可使用的动态范围
 ,超出此范围,谱分析会有
 问题
- 在较好设计的系统中,第二 大成份应该是基频的谐波,
 SFDR反映了噪声和谐波对动态范围的限制。



■ 有效位(ENOB – Effective Number of Bits)

在一定输入信号频率和采样速率情况下,测量得到了实际ADC性能,有效位的计算公式:

$$ENOB = \frac{SINAD - 1.76dB}{6.02dB}$$

- 一一般当输入信号频率增加时,总噪声(特别是谐波成份)增加, 故ENOB或SINAD将减小
- ADC动态性能的全局性反映,是实际测量的噪声误差和理想量化
 噪声的差异。理想ADC噪声仅包括量化噪声,而实际测量的噪声
 还包括如丢失输出码,AC/DC非线性,孔径jitter,电源噪声等

$$ENOB = N - \log_2(A_{\text{MM} \pm \text{W} \neq \text{K} \in [RMS]} / A_{\text{M} \pm \text{M} \neq \text{K} \in [RMS]})$$

$$A_{\Xi \pm \mathbb{R},\mathbb{R},\mathbb{R}} = \frac{q}{\sqrt{12}} = \frac{A_{FS}}{2^N \sqrt{12}}$$
$$ENOB = N - \log_2 \left[\frac{A_{\mathbb{R},\mathbb{R}}}{A_{FS}} \times 2^N \sqrt{12} \right] = \log_2 \frac{A_{FS}}{A_{\mathbb{R},\mathbb{R}} \sqrt{12}}$$

ADC的动态性能测试^[1]

- 评估ADC动态性能有下面四种基本方法,均采用正弦信号为激励源,因为它最容易产生,但正弦波要相当"纯"。在测试过程中正弦波以满幅度输入,以最大限度体现各种误差
- Beat Frequency Testing (Envelope Testing) (1)



一输入正弦波的频率选择为采样频率的倍数再加一个小的增量 Δf ,这个小增量就叫做beat frequency. 这样波形的连续采样值将产生一个频率为 Δf 的正弦波

[1] TI application report, SBAA002A, "Dynamic Tests for A/D converter performance"

Beat Frequency Testing (Envelope Testing) (2)

- ADC各种误差将体现在形成的正弦波与理想波的偏差上,例如丢码,将
 观察到正弦波的不连续性,还会加宽正弦波上个别码的宽度
- 通过选择任意低的Δf,一个慢速精确的波形可用于观察波形输出。它
 可以让测试走过所有的码,也可以让连续几个采样点走在同一码上
- 通过加大载波的频率(即fs的倍数),测试输出正弦波的幅度变化来
 标定频带宽度
- Envelope Testing测试和Beat Frequency Testing 的区别选择不同的 输入频率与采样频率比。它取输入频率为1/2Fs附近,这样理想的输出 是两个相位相反的正弦波,这样采样点处在输入波的极端端点上,有 利于观察摆率问题



Histogram Testing (1)

- 基于正弦波的Histogram测试可提供一些局域和全局性能的描述,例如 可获得DNL,在测试频率下有无丢码,增益和offset误差等
- 一对于输入正弦波,统计某一码出现的次数,码出现的频率作为码的函数曲线,即histogram。
- 一对于理想ADC,只要输入频率和采样频率是无关独立的,则理想的概率密度函数PDF的形状为,其中A为正弦波幅度
- 一对实际ADC,在一定频率下,如果某码条的出现次数小于预定值,说明码宽小于理想值,反之亦然。如果某码条没有出现,说明丢码



Histogram Testing (2)

- 理想ADC码条n的出现概率是理想概率密度函数在该码条附近的积分

$$\mathsf{P}(\mathsf{n}) = \frac{1}{\pi} \left[\mathsf{sin}^{-1} \left(\frac{\mathsf{B}\left(\mathsf{n} - 2^{\mathsf{N}-1} \right)}{\mathsf{A}2^{\mathsf{N}}} \right) - \mathsf{sin}^{-1} \left(\frac{\mathsf{B}\left(\mathsf{n} - 1 - 2^{\mathsf{N}-1} \right)}{\mathsf{A}2^{\mathsf{N}}} \right) \right]$$

 n是码条数,B是ADC的满幅范围,N是ADC的bit数。为了避免正弦波 在幅度顶端造成p(n)的差异,A要比实际ADC的输入范围B略大一些。
 一要避免采样频率与输入信号频率上的任何关联

Curve Fitting

- 可以得到ADC的全局描述,即平均地给出ADC的性能,测试结果给出ADC的有效位
- 一分析测量到的数据,将其拟合为正弦波。记录的数据与拟合得到的正弦波之间的任何偏差看成是误差噪声,计算得到的噪声和理想ADC的噪声可以计算有效位:

 (actual rms error)

Effective bits = $N - \log_2 \frac{(\text{actual rms error})}{(\text{ideal rms error})}$

其中, Ideal rms error = $\frac{Q}{\sqrt{12}}$ Q是理想bin宽

一这一测量的误差来源于非线性误差,如谐波失真、噪声、孔径晃动等, 增益、偏移和相位噪声不影响结果。

- 实际测量的rms error (分子) 由下式决定: 其中, m是测量的数据点数, Xk和tk是数据点。 $E = \sum_{k=1}^{\infty} [x_k - A \cos(\omega t_k + P) - C]^2$

拟合得到的正弦波参数分别为幅度A、频率w,相位P,和offset C - 通过寻找使E最小的最佳拟合正弦波来确定正弦波的各个参数

FFT Testing

- 用FFT变换分析ADC的性能有三个方面要注意

- 频率的分辨率:理想的频谱分析频率有无限小的分辨率,而FFT以后的分辨率为Δf = 1/(NΔt).因为记录数据中只有有限个数据点数,变换后的频率点或线数为N/2.第一条频率线是DC,最后一条频率线在(fs/2-fs/N)处,fs/N又叫做frequency bin 或FFT bin.

- 谱泄漏与窗函数

- FFT仅包含有限的频率成分,大于fs/2的频率被去除了